

Docket No.: 60188-817

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of	:	Customer Number: 20277
	:	
Teruhito OHNISHI, et al.	:	Confirmation Number:
	:	
Serial No.:	:	Group Art Unit:
	:	
Filed: March 24, 2004	:	Examiner:
	:	
For: BIPOLAR TRANSISTOR AND METHOD FOR FABRICATING THE SAME	:	

**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop CPD
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

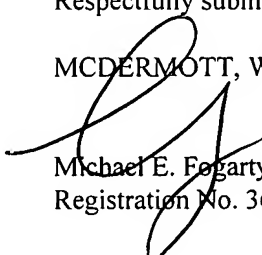
In accordance with the provisions of 35 U.S.C. 119, Applicants hereby claim the priority of:

Japanese Patent Application No. JP 2003-082421, filed on March 25, 2003.

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY



Michael E. Fogarty
Registration No. 36,139

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 MEF:gav
Facsimile: (202) 756-8087
Date: March 24, 2004

日本国特許庁
JAPAN PATENT OFFICE

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application: 2003年 3月25日

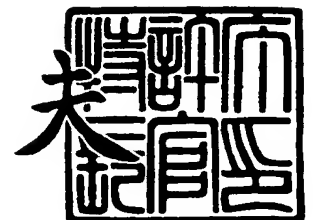
出願番号
Application Number: 特願2003-082421
[ST. 10/C]: [JP2003-082421]

出願人
Applicant(s): 松下電器産業株式会社

2004年 2月18日

特許庁長官
Commissioner,
Japan Patent Office

今井 康夫





【書類名】 特許願

【整理番号】 2924040053

【提出日】 平成15年 3月25日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/331
H01L 29/73

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 大西 照人

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 幸 康一郎

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 佐野 恒一郎

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 齋藤 徹

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 井戸田 健

**【発明者】**

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 川島 孝啓

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 澤田 茂樹

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100097445

【弁理士】

【氏名又は名称】 岩橋 文雄

【選任した代理人】

【識別番号】 100103355

【弁理士】

【氏名又は名称】 坂口 智康

【選任した代理人】

【識別番号】 100109667

【弁理士】

【氏名又は名称】 内藤 浩樹

【手数料の表示】

【予納台帳番号】 011305

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9809938

【書類名】 明細書

【発明の名称】 バイポーラトランジスタおよびその製造方法

【特許請求の範囲】

【請求項 1】 エピタキシャル成長ベース層を有するバイポーラトランジスタにおいて、

前記エピタキシャル成長ベース層は真性ベース層と外因性ベース層からなり、
前記真性ベース層は分離層に囲まれたコレクタ層の上に配置され、
前記外因性ベース層は前記分離層の上に配置され、
前記外因性ベース層の厚みは前記真性ベース層の厚みより薄く、
前記外因性ベース層の表面はシリサイド化されていることを特徴とするバイポーラトランジスタ。

【請求項 2】 前記バイポーラトランジスタにおいて、外周部の前記分離層の下にポリシリコンを埋め込んだディープトレンチを配置し、

前記外因性ベース層へのコンタクトは前記外周部の分離層の上に配置したことを特徴とする請求項 1 に記載のバイポーラトランジスタ。

【請求項 3】 前記真性ベース層の上に開口部を有する絶縁膜と、該絶縁膜の上にエミッタポリシリコン層と、該開口部の該真性ベース層にエミッタ層とを配置し、

前記エミッタポリシリコン層は不純物の突き抜けを防止する厚みを有することを特徴とする請求項 1 または 2 に記載のバイポーラトランジスタ。

【請求項 4】 エピタキシャル成長ベース層は SiGe または SiGeC 混晶材料を用いることを特徴とする請求項 1～3 の何れか 1 項に記載のバイポーラトランジスタ。

【請求項 5】 分離層に囲まれた第 1 導電型の半導体基板の上に第 2 導電型の半導体層をエピタキシャル成長する工程と、

前記第 2 導電型の半導体層の上に開口部を有する絶縁膜を形成する工程と、
前記絶縁膜の上に第 1 導電型のポリシリコン層を選択的に形成する工程と、
前記ポリシリコン層をマスクにして少なくとも 0° 以外の角度をもって前記第 2 導電型の半導体層に同じ導電型の不純物を注入する工程とを有することを特徴

とするバイポーラトランジスタの製造方法。

【請求項 6】 前記ポリシリコン層の側壁にサイドウォールを形成する工程と

、
前記サイドウォールをマスクにして前記ポリシリコン層と前記第 2 導電型の半導体層との表面をシリサイド化する工程とをさらに有することを特徴とする請求項 5 に記載のバイポーラトランジスタの製造方法。

【請求項 7】 前記第 1 導電型の半導体基板がコレクタ層で、前記分離層の上に形成された前記第 2 導電型の半導体層が外因性ベース層で、前記第 1 導電型の半導体基板の上に形成された前記第 2 導電型の半導体層が真性ベース層で、第 1 導電型のポリシリコン層がエミッタ電極であり、

前記エミッタポリシリコン層は不純物の突き抜けを防止する厚みを有することを特徴とする請求項 5 または 6 に記載のバイポーラトランジスタの製造方法。

【請求項 8】 前記第 2 導電型の半導体層が SiGe または SiGeC 混晶材料を用いることを特徴とする請求項 5 ～ 7 の何れか 1 項に記載のバイポーラトランジスタの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、バイポーラトランジスタおよびその製造方法に関し、特に SiGe などのヘテロ接合を有した高性能バイポーラトランジスタの構造およびその製造方法に関するものである。

【0002】

【従来の技術】

ヘテロ接合バイポーラトランジスタは、優れた高速・高電流駆動能力を持つことから、高速・高集積を必要とする移動体通信等の通信用デバイスとして利用されている。

【0003】

特に近年は、バイポーラトランジスタに Si/SiGe、Si/SiC 等のヘテロ接合構造を含ませて 100GHz を越える遮断周波数をもつヘテロ接合バイ

ポーラトランジスタ（以下、HBTと称す）が実現されている。

【0004】

上記のヘテロ接合バイポーラトランジスタの製造方法に関する従来例として、以下の方法が知られている（例えば、特許文献1参照）。

【0005】

この従来例の特徴は、外因性ベース部分（多結晶SiGe膜）へのイオン注入とスペーサーによる前記イオン注入された不純物の横広がりの影響を低減することである。このときのエミッタ電極のポリシリコン膜厚は約140nmで、外因性ベースへの追加注入はボロンの場合は60keV、 $2 \times 10^{15} \text{ atoms/cm}^2$ またはBF₂の場合は30keV、 $1 \times 10^{15} \text{ atoms/cm}^2$ である。

【0006】

【特許文献1】

特開平9-186172号公報

【0007】

【発明が解決しようとする課題】

しかしながら、上記のHBT構造では、エミッタ電極をマスクに外因性ベースへボロンを追加注入するために注入角度は0°であり、エミッタ電極の大きさはスペーサーの長さで律速されている。また、エミッタ電極の形状を決定する要因としてコンタクトホール等のアライメントマージンなど加工上の制約と前述の電気特性からの制約があり、基本的にはそれらの両立は困難であるという問題があった。

【0008】

また、先行技術から見て外因性ベースは通常エピタキシャル層と同等の厚みをもった多結晶SiGeと考えられる。一方、ベース抵抗を考えた場合、多結晶、単結晶、シリサイドの順に抵抗が小さくなることから、多結晶状態のSiGe層が外因性ベースとなるためこれ以上のベース抵抗の低減が難しく、デバイス特性向上が困難という問題があった。

【0009】

【課題を解決するための手段】

上記の課題を解決するために、本発明のバイポーラトランジスタは、エピタキシャル成長ベース層を有するバイポーラトランジスタにおいて、エピタキシャル成長ベース層は真性ベース層と外因性ベース層からなり、真性ベース層は分離層に囲まれたコレクタ層の上に配置され、外因性ベース層は分離層の上に配置され、外因性ベース層の厚みは真性ベース層の厚みより薄く、外因性ベース層の表面はシリサイド化されていることを特徴とする。

【0010】

この構成によれば、低抵抗のシリサイド層と真性ベース間の距離は短くなるので、ベース抵抗を低減することができる。

【0011】

上記のバイポーラトランジスタにおいて、真性ベース層の上に開口部を有する絶縁膜と、該絶縁膜の上にエミッタポリシリコン層と、該開口部の該真性ベース層にエミッタ層とを配置し、エミッタポリシリコン層は不純物の突き抜けを防止する厚みを有することが好ましい。

【0012】

上記のバイポーラトランジスタにおいて、外周部の分離層の下にポリシリコンを埋め込んだディープトレンチを配置し、外因性ベース層へのコンタクトは外周部の分離層の上に配置したことが好ましい。

【0013】

この構成によれば、エミッタ電極の膜厚を厚くすることにより、異導電体のイオン種がエミッタ電極に注入されても特性変動が少なく、安定した性能を発揮することができる。

【0014】

上記のバイポーラトランジスタにおいて、エピタキシャル成長ベース層はSiGeまたはSiGeC混晶材料を用いることが好ましい。

【0015】

また、本発明のバイポーラトランジスタの製造方法は、分離層に囲まれた第1導電型の半導体基板の上に第2導電型の半導体層をエピタキシャル成長する工程と、第2導電型の半導体層の上に開口部を有する絶縁膜を形成する工程と、絶縁

膜の上に第1導電型のポリシリコン層を形成する工程と、ポリシリコン層をマスクにして少なくとも 0° 以外の角度をもって第2導電型の半導体層に同じ導電型の不純物を注入する工程とを有することを特徴とする。

【0016】

この構成によれば、外因性ベースへの不純物注入をエミッタ電極となるポリシリコン層をマスクとして傾斜させて行うので、エミッタ電極の外周よりも内側まで不純物が導入され、ベース抵抗を低減することができる。また、電気特性とエミッタ電極のレイアウトとの最適化を独立して行うことができる。

【0017】

上記のバイポーラトランジスタの製造方法において、ポリシリコン層の側壁にサイドウォールを形成する工程と、サイドウォールをマスクにしてポリシリコン層と第2導電型の半導体層との表面をシリサイド化する工程とをさらに有することが好ましい。

【0018】

上記のバイポーラトランジスタの製造方法において、第1導電型の半導体基板がコレクタ層で、分離層の上に形成された第2導電型の半導体層が外因性ベース層で、第1導電型の半導体基板の上に形成された第2導電型の半導体層が真性ベース層で、第1導電型のポリシリコン層がエミッタ電極であり、エミッタポリシリコン層は不純物の突き抜けを防止する厚みを有することが好ましい。

【0019】

この構成によれば、エミッタ電極の膜厚を厚くすることにより、異導電体のイオン種がエミッタ電極に注入されても特性変動が少なく、安定した性能を発揮するバイポーラトランジスタを製造することができる。

【0020】

上記のバイポーラトランジスタの製造方法において、第2導電型の半導体層がSiGeまたはSiGeC混晶材料を用いることが好ましい。

【0021】

【発明の実施の形態】

(第1の実施形態)

以下、図面を参照しながら、本発明の第1の実施形態について詳細に説明する。図1は、本発明の第1の実施形態によるバイポーラトランジスタの断面図である。また、図2～12は、本発明の第1の実施形態によるバイポーラトランジスタの製造方法を示す工程断面図である。

【0022】

まず、図2に示すように、(001)面を主面とするP型Si基板1の上部の表面にフォトリソグラフィを用いてN型のサブコレクタを形成する領域を開口したレジストをマスクに、ヒ素(As)イオンを注入して、HBT形成領域に深さ約 $1\mu\text{m}$ のN型のサブコレクタ2を形成する。続いて、Si基板1の上部にN型不純物をドーピングしながらSi単結晶層3をエピタキシャル成長させる。

【0023】

次に、図3に示すように、素子分離としてシリコン酸化膜が埋め込まれたシャロートレンチ4と、アンドープポリシリコン膜6およびこれを取り囲むシリコン酸化膜7により構成されるディープトレンチ5とを形成する。各トレンチ4、5の深さは、それぞれ約 $0.3\mu\text{m}$ 、約 $2\mu\text{m}$ である。

【0024】

次に、N⁺型コレクタ引き出し層形成領域を開口したレジストをマスクに、リン(P)イオンを約 60KeV 、 $3\times 10^{15}\text{atoms/cm}^2$ で注入した後、酸素プラズマアッシングを用いてレジストを除去する。続いて、温度が 850°C 程度で30分程度の熱処理を行って、N⁺型コレクタ引き出し層8を形成する。以上により、図4のような形状を形成する。

【0025】

次に、フォトリソグラフィとイオン注入を用いて、N⁺型コレクタ引き出し層8上にヒ素を約 50KeV 、 $3\times 10^{15}\text{atoms/cm}^2$ で注入し、続いて例えば温度が 1000°C 程度、時間が10～15秒程度の熱処理をして不純物を活性化させる。

【0026】

次に、図5に示すように、約 50nm の酸化膜28を減圧CVD法で堆積させ、続いて約 100nm のポリシリコン膜29を減圧CVD法で堆積させる。

【0027】

次に、図6に示すように、フォトリソグラフィーを用いてHBT形成領域を開口したレジストをマスクに前記ポリシリコン膜29をエッチングした後、コレクタのリンプロファイルを形成するためにリンをエネルギー280keV、ドーズ量約 $5 \times 10^{13} \text{ atoms/cm}^2$ で注入する。これにより、Si単結晶層3内に所望のリンプロファイルが形成できる。酸素プラズマアッシングを用いてレジストを除去し、続いて前記ポリシリコン膜をエッチングした領域で露出している前記酸化膜28をフッ酸により除去し、HBT形成領域のN型Si表面を露出させる。

【0028】

次に、図7に示すように、UHV-CVD法により約100nmのSi/Si_{1-x}Ge_x層30(a)およびポリSi/ポリSi_{1-x}Ge_x膜30(b)を同時に堆積する。この時、Si_{1-x}Ge_x層には膜成長中にボロン(B)が導入されてP型になっている。

【0029】

高真空状態でSiGeをエピタキシャル成長させるUHV-CVD法では、成長反応がSi基板表面のみで起きるために、成長レートの面方位依存性が強い成長方法である。この現象を用いると、単結晶表面(例えば(100)面)とポリシリコン表面では、多くの結晶方位が存在するポリシリコン表面での成長レートが遅くなる。実験によれば、ポリシリコンおよび酸化膜の上は(100)面上に比べて約半分の成長レートであった。したがって、外因性ベースの膜厚は約50nmである。このように、UHV-CVD法を用いれば外因性ベースとなる多結晶SiGe膜を低成長レートで作成することが可能となり、外因性ベースにおいて抵抗の高い多結晶SiGe膜を真性ベース層厚よりも薄くなる。この結果、真性ベース層とのちにシリサイド化される外因性ベース層間の距離は短縮され、低ベース抵抗によるバイポーラトランジスタの高性能化が図れることになる。

【0030】

次に、図8に示すように、膜厚が約30nmの酸化膜31および膜厚が約50nmでリンを約 $3 \times 10^{15} \text{ atoms/cm}^3$ 含むポリシリコン32を連続して減

圧CVD法により堆積した後、フォトリソグラフィを用いてHBTのエミッタ領域を開口したレジストをマスクに前記ポリシリコン膜32をドライエッチング技術によりエッチングする。

【0031】

次に、図9に示すように、前記開口部内の酸化膜31をウエットエッチングにより除去後、膜厚が300nm程度で濃度が $1 \sim 5 \times 10^{20} \text{ atoms/cm}^3$ 程度のN⁺型ポリシリコン33を減圧CVD法により堆積する。続いて、フォトリソグラフィにより所定の領域を開口したレジストをマスクにして前記ポリシリコン膜33を異方性エッチングし、続いて前記酸化膜31をウエットエッチングする。

【0032】

次に、外因性ベースの抵抗を低減するため注入角度0°で約5KeV、 $2 \times 10^{15} \text{ atoms/cm}^2$ の追加注入を行う。その後に酸素プラズマアッシングを用いてレジストを除去する。

【0033】

次に、図10に示すように、フォトリソグラフィにより所定の領域を開口したレジストをマスクにして前記ポリSi/ポリSi_{1-x}Ge_x膜30(b)をエッチングしてパターンニングし、HBTの外因性ベース電極34を形成する。

【0034】

次に、図11に示すように、厚さが約30～100nm程度の酸化膜を減圧CVD法により堆積した後、温度が900℃程度、時間が10～15秒程度の熱処理をして前記エミッタポリシリコン電極33からエミッタ層35をベース中に拡散させる。続いて、前記酸化膜を異方性エッチングしHBTのエミッタポリシリコン電極の側壁にサイドウォール36を形成する。この時、HBTのエミッタポリシリコン電極33表面、外因性ベース電極34表面、N⁺型コレクタ引き出し層8表面は、シリコン表面が露出している状態である。

【0035】

次に、Coをスパッタリングし、アニールをした後に、Co未反応層を除去し、続いてアニールを実施することによりCoシリサイド層37を形成する。これ

以降は標準的な多層配線工程プロセスで作成していく。続いて、層間絶縁膜 3 8 を堆積した後に、前記層間絶縁膜 3 8 を貫通して H B T のエミッタポリシリコン電極 3 3、外因性ベース電極 3 4、N⁺型コレクタ引き出し層 8 上の各前記 C o シリサイド層 3 7 に到達する接続孔を形成する。

【 0 0 3 6 】

最後に、図 1 2 に示すように、各接続孔内に W 膜を埋め込んで W プラグ 3 9 を形成した後に、アルミニウム合金膜をスパッタリングし、所定の領域を開口したレジストをマスクにしてパターンニングし、各 W プラグ 3 9 に接続され、層間絶縁膜 3 8 の上に延びる金属配線 4 0 を形成し H B T デバイスが形成される。

【 0 0 3 7 】

なお、本実施形態ではベース直下からサブコレクタまでのプロファイルを一度のリン注入で形成したが、濃度プロファイルを最適化するにあたり多段注入を実施したり、エミッタ開口用マスクを用いたセルフアラインの注入を用いたりしても構わない。

【 0 0 3 8 】

一方、外因性ベース層が薄くなるとコンタクトホール加工時に外因性ベース層を突き抜けることが心配される。コンタクトホールをディープトレンチの埋め込みポリシリコン上に形成することで、コンタクトホールが前述のポリシリコン上でとまるために動作としての問題は解決される。

【 0 0 3 9 】

以上の様な製造方法によると、外因性ベースとなる多結晶 S i G e 膜を低成長レートで作成することが可能となり、外因性ベースにおいて抵抗の高い多結晶 S i G e 膜が真性ベース層厚よりも薄くなる。この結果、真性ベース層とのちにシリサイド化される外因性ベース層間の距離は短縮され、低ベース抵抗によるバイポーラトランジスタの高性能化が図れることになる。

【 0 0 4 0 】

(第 2 の実施形態)

以下、図面を参照しながら、本発明の第 2 の実施形態について詳細に説明する。図 1 3 ～ 1 4 は、本発明の第 2 の実施形態によるバイポーラトランジスタの製

造方法を示す工程断面図である。なお、第1の実施形態と同じ工程については同一の番号を付与し、説明を省略する。

【0041】

まず、図1に示したP型Si基板1にN型サブコレクタ2を形成する工程から図9に示したN⁺型ポリシリコン33を異方性エッチングする工程までは、第1の実施形態と同じである。

【0042】

次に、図13に示すように、前記ポリシリコン膜33の異方性エッチングに続いて、レジストパターン41が残った状態で前記酸化膜31をウエットエッチングする。その後、ボロンを約7°の角度で90°ずつ4回に分けて注入することにより、エミッタ電極下部にもボロンの注入を行う。注入角度および注入エネルギー、ドーズ量についてはデバイスの寸法に依存するために最適な角度および注入エネルギー、ドーズ量を採用する必要があるが、本実施形態では注入角度は7°、注入エネルギーは10 KeVおよび4回トータルのドーズ量は約1.5 E 14 atoms/cm²で実施した。

【0043】

さらに、図14に示すように、フォトリソグラフィーにより所定の領域を開口したレジストをマスクにして前記ポリSi/ポリSi_{1-x}Ge_x膜30(b)をエッチングしてパターニングし、HBTの外因性ベース電極34を形成する。

【0044】

さらに、図14に示すように、第1の実施形態と同様にして前記ポリSi/ポリSi_{1-x}Ge_x膜30(b)をエッチングし、HBTの外因性ベース電極34を形成する。その後、外因性ベースの抵抗を低減するため注入角度0°で約5 KeV、2 E 15 atoms/cm²の追加注入を行う。その後に酸素プラズマアッシングを用いてレジストを除去する。これ以降のプロセスも第1の実施形態と同様に形成する。

【0045】

以上の様な製造方法によると、外因性ベース部へのボロンの追加注入を7°斜めから実施できるため、エミッタ電極の外周よりも内側まで不純物を導入でき、

ベース抵抗を低減することが可能になる。また、生産的には角度を自由に設定できることから電気特性に影響を与える外因性ベースからの高濃度ボロンの横広がりを気にすることなく加工的な観点からエミッタ電極の形状を決めることが可能となる。これにより、歩留まりの改善や大規模な集積回路への応用が容易となる。

【 0 0 4 6 】

一方、角度をつけて注入するということはエミッタ電極（N型）へボロン（P型）が注入されることになる。一概には断言できないが、エミッタポリシリコンの膜厚が薄いとボロンの突き抜けやエミッタ電極の抵抗の増加などデバイス特性への悪影響が懸念される。本発明ではエミッタポリシリコンを約 3 0 0 n m と通常よりは厚く設定しているためにN型不純物の総量が多く、ボロンの突き抜けや抵抗増加の影響を比較的受けにくくすることが可能である。なお、エミッタポリシリコンの膜厚は不純物の突き抜けを防止できる膜厚に設定すれば良く、2 5 0 n m 以上であれば確実に突き抜けを防止することができる。

【 0 0 4 7 】

さらに、エミッタポリシリコンが厚いことにより、エミッタ中でのホールの拡散長を長くとることができ、電流増幅率 $h F E$ を高く設定することが可能になる。また、エミッタ開口部のくぼみにポリシリコンが埋め込まれるためエミッタ開口部上部のポリシリコン表面にはくぼみに対応した段差が形成される。この段差はその後のシリサイド形成においてシリサイド層の薄膜化を引き起こし、コンタクト抵抗の増加につながるため表面は平坦な方が好ましい。本実施形態ではポリシリコン膜厚が厚いために、前記段差が改善される方向にあり、抵抗の安定化にとって好ましい構造になる。

【 0 0 4 8 】

【発明の効果】

以上説明したように、本発明のバイポーラトランジスタによれば、低抵抗のシリサイド層と真性ベース間の距離は短くなるので、ベース抵抗を低減することができる。

【 0 0 4 9 】

また、本発明のバイポーラトランジスタの製造方法によれば、エミッタ電極の構造がその電気特性に大きな影響を与える場合において、外因性ベースへの不純物注入をエミッタ電極となるポリシリコン層をマスクとして傾斜させて行うので、エミッタ電極の外周よりも内側まで不純物が導入され、ベース抵抗を低減することができる。また、電気特性とエミッタ電極のレイアウトとの最適化を独立して行うことができる。

【0050】

更に、エミッタ電極の膜厚を厚くすることにより、異導電体のイオン種がエミッタ電極に注入されても特性変動が少なく、安定した性能を発揮するバイポーラトランジスタを製造することができる。

【図面の簡単な説明】

【図1】

本発明の第1の実施形態によるバイポーラトランジスタの断面図

【図2】

本発明の第1の実施形態によるバイポーラトランジスタの製造方法を示す工程断面図

【図3】

本発明の第1の実施形態によるバイポーラトランジスタの製造方法を示す工程断面図

【図4】

本発明の第1の実施形態によるバイポーラトランジスタの製造方法を示す工程断面図

【図5】

本発明の第1の実施形態によるバイポーラトランジスタの製造方法を示す工程断面図

【図6】

本発明の第1の実施形態によるバイポーラトランジスタの製造方法を示す工程断面図

【図7】

本発明の第 1 の実施形態によるバイポーラトランジスタの製造方法を示す工程
断面図

【図 8】

本発明の第 1 の実施形態によるバイポーラトランジスタの製造方法を示す工程
断面図

【図 9】

本発明の第 1 の実施形態によるバイポーラトランジスタの製造方法を示す工程
断面図

【図 1 0】

本発明の第 1 の実施形態によるバイポーラトランジスタの製造方法を示す工程
断面図

【図 1 1】

本発明の第 1 の実施形態によるバイポーラトランジスタの製造方法を示す工程
断面図

【図 1 2】

本発明の第 1 の実施形態によるバイポーラトランジスタの製造方法を示す工程
断面図

【図 1 3】

本発明の第 2 の実施形態によるバイポーラトランジスタの製造方法を示す工程
断面図

【図 1 4】

本発明の第 2 の実施形態によるバイポーラトランジスタの製造方法を示す工程
断面図

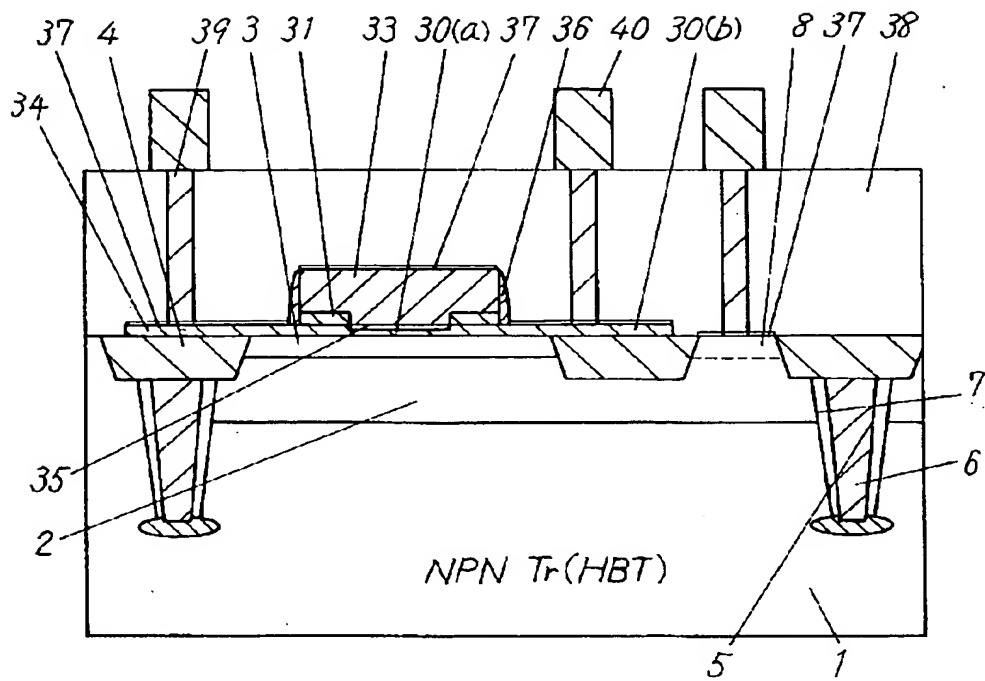
【符号の説明】

- 1 P 型 S i 基板
- 2 サブコレクタ
- 3 S i 単結晶層
- 4 シャロートレンチ
- 5 ディープトレンチ

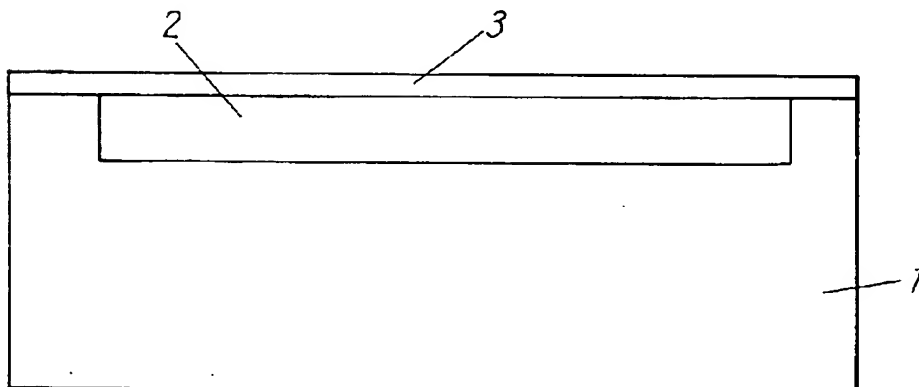
- 6 アンドープポリシリコン膜
- 7 シリコン酸化膜
- 8 N⁺型コレクタ引き出し層
- 9 P型ウェル
- 10 N型ウェル
- 11 酸化膜
- 28 酸化膜
- 29 ポリシリコン膜
- 30 (a) Si / Si_{1-X}Ge_X層
- 30 (b) ポリSi / ポリSi_{1-X}Ge_X膜
- 31 酸化膜
- 32 N⁺型ポリシリコン膜
- 33 エミッタポリシリコン電極
- 34 外因性ベース電極
- 35 エミッタ層
- 36 サイドウォール
- 37 Coシリサイド層
- 38 層間絶縁膜
- 39 Wプラグ
- 40 アルミニウム金属配線

【書類名】 図面

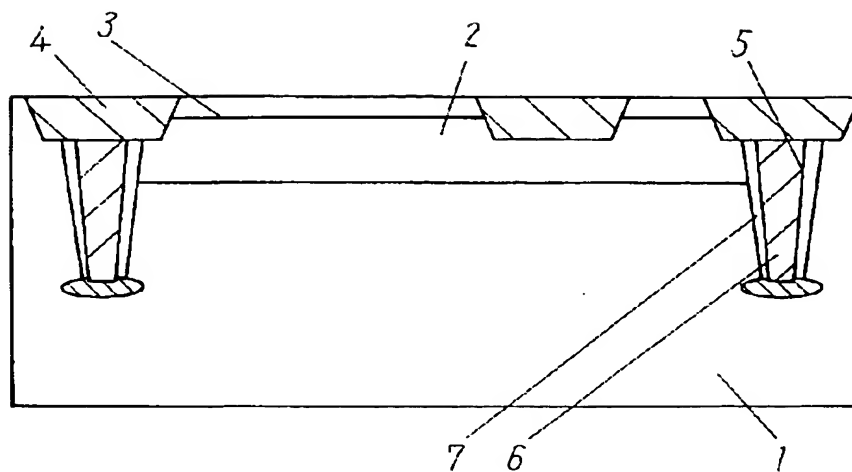
【図 1】



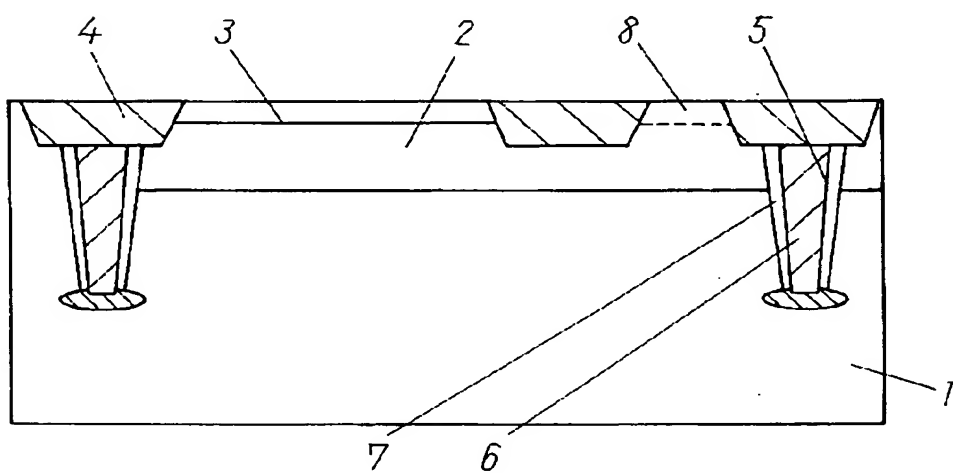
【図 2】



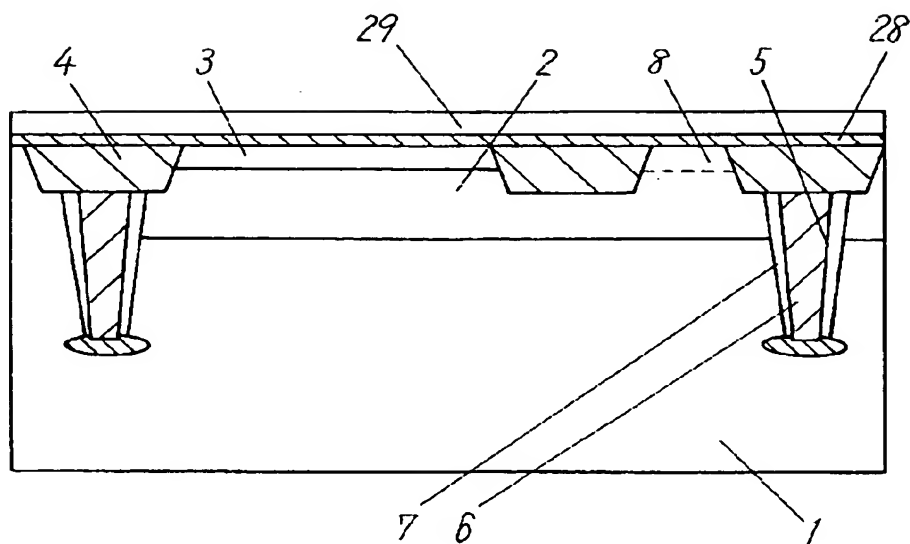
【図 3】



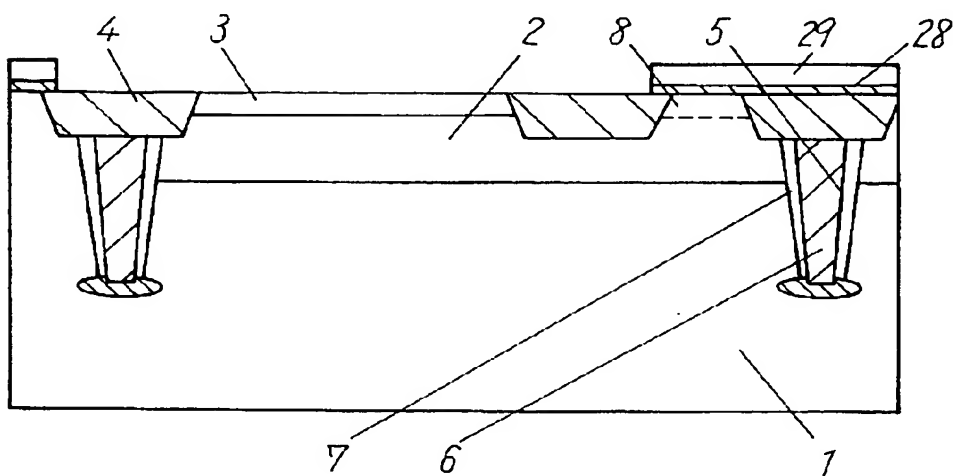
【図 4】



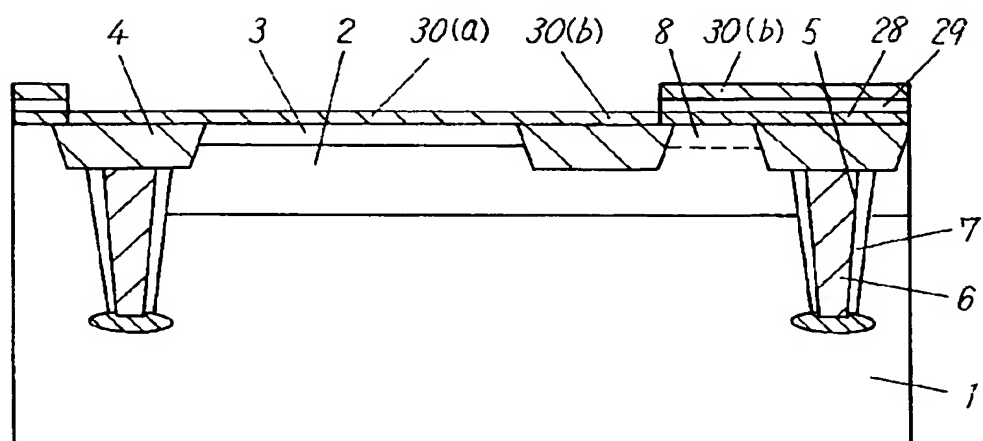
【図 5】



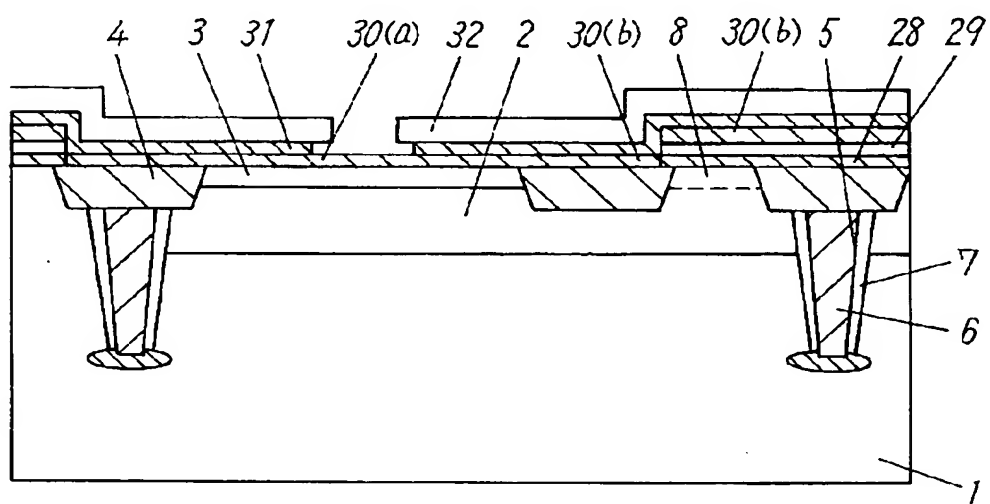
【図 6】



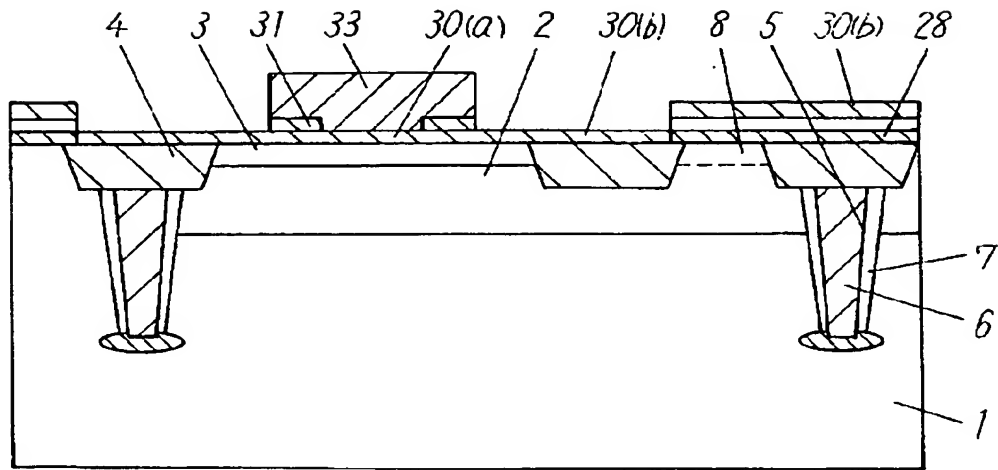
【図 7】



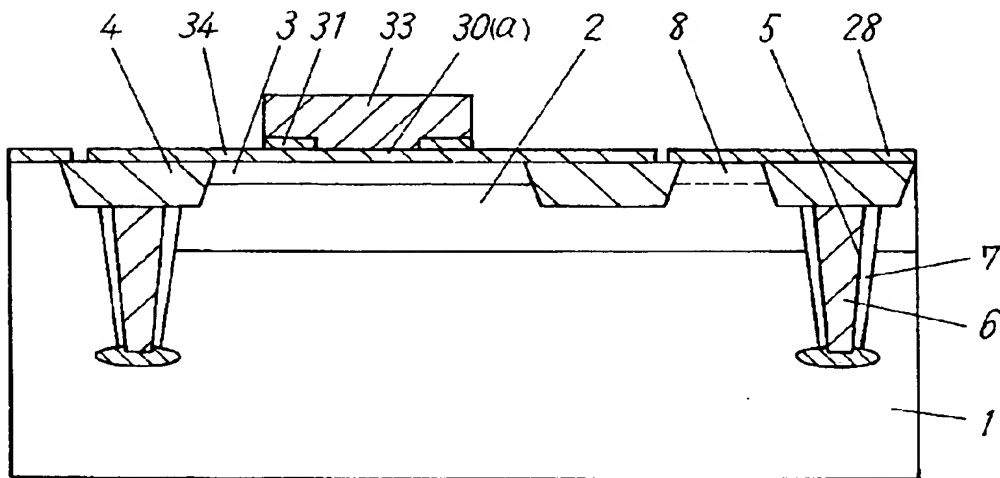
【図 8】



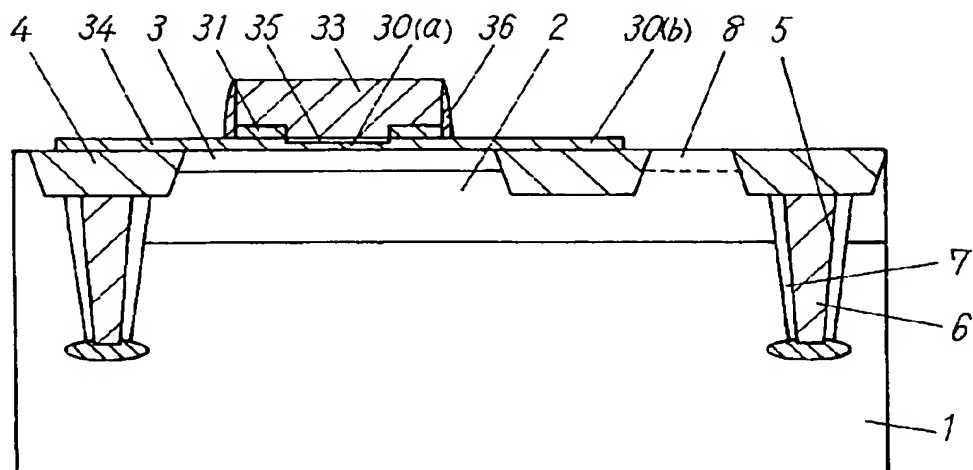
【図 9】



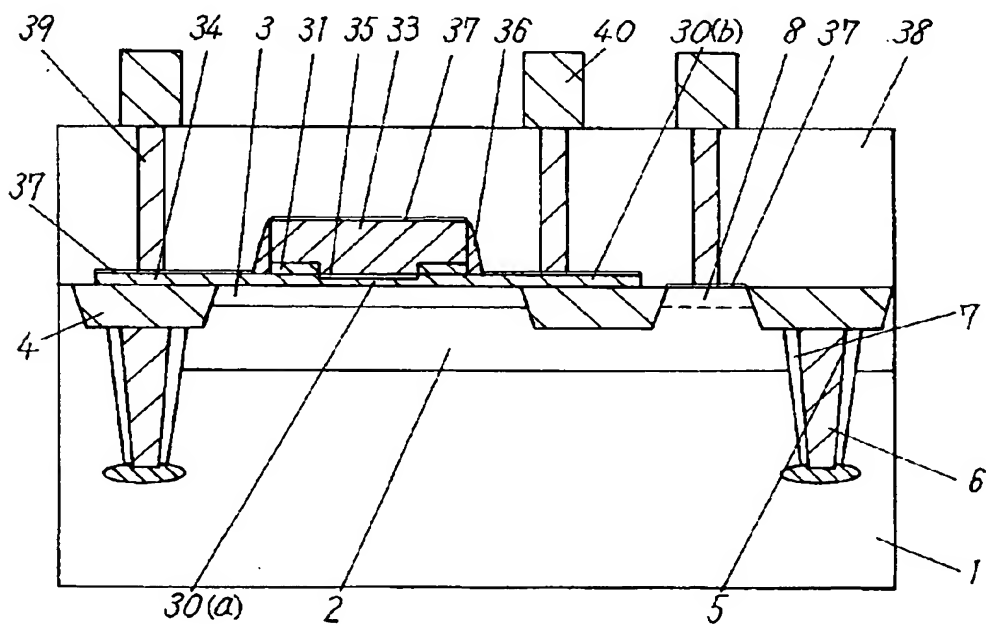
【図 10】



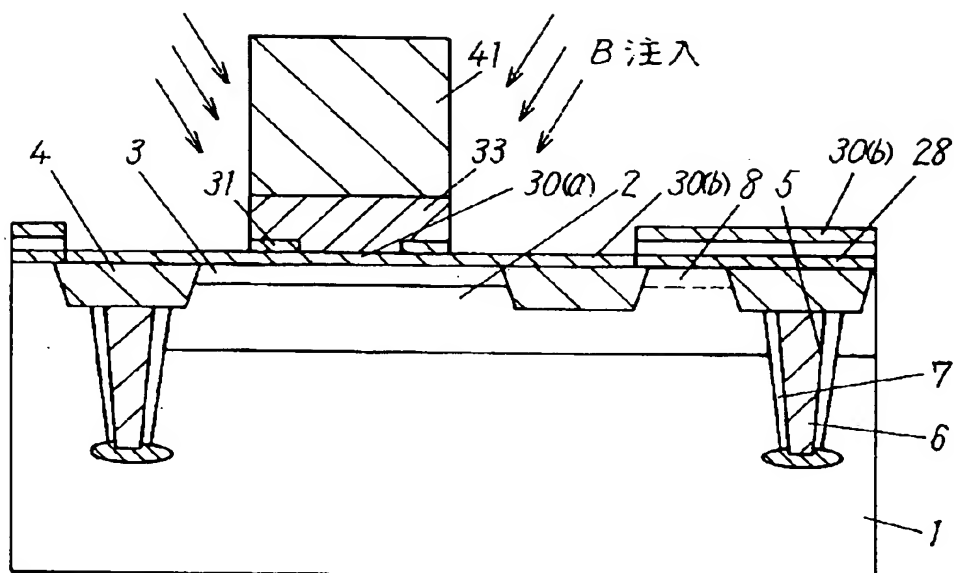
【図 11】



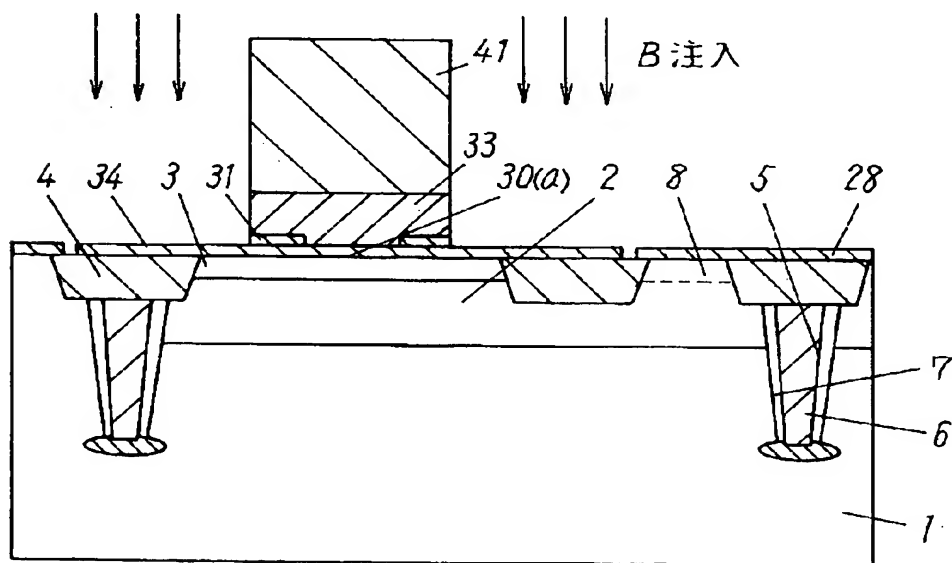
【図 12】



【図 13】



【図 14】



【書類名】 要約書

【要約】

【課題】 ヘテロ接合バイポーラトランジスタ構造において、エミッタ電極の形状を決定する要因として加工上の制約と電気特性からの制約があり、基本的にはそれらの両立は困難であるという問題があった。

【解決手段】 SiGeまたはSiGeC混晶材料を用いたエピタキシャル成長ベース層を有するヘテロ接合バイポーラトランジスタにおいて、エピタキシャル成長ベース層は真性ベース層と外因性ベース層からなり、真性ベース層はトレンチ分離層に囲まれたコレクタ層の上に配置され、外因性ベース層はトレンチ分離層の上に配置され、外因性ベース層の厚みは真性ベース層の厚みより薄く、外因性ベース層の表面はシリサイド化されている。

【選択図】 図1

特願 2 0 0 3 - 0 8 2 4 2 1

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 8 2 1]

1. 変更年月日

1 9 9 0 年 8 月 2 8 日

[変更理由]

新規登録

住 所

大阪府門真市大字門真 1 0 0 6 番地

氏 名

松下電器産業株式会社